

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0061732  
Application Number

출원년월일 : 2002년 10월 10일  
Date of Application OCT 10, 2002

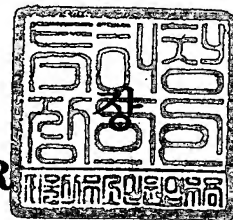
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.10.10
【발명의 명칭】	어드레스 서브샘플링 장치 및 그 방법과 이미지센서 및 이 이미지센서의 어드레스 서브샘플링 방법
【발명의 영문명칭】	Sub-sampling apparatus and method of the same and image sensor and method for sub-sampling of address of the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	조완희
【성명의 영문표기】	JO, Wan Hee
【주민등록번호】	671004-1154919
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 444-1 현대전자아파트 110-1503
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20      면                      29,000    원
【가산출원료】	13      면                      13,000    원

1020020061732

출력 일자: 2003/5/15

【우선권 주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】	599,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

본 발명은 어드레스 서브샘플링 기술 및 이미지센서에서의 어드레스 서브샘플링 기술에 관한 것으로, 특히 시간상의 손실없이 실시간 서브샘플링을 다양하게 지원할 수 있는 어드레스 서브샘플링 방법 및 그 장치와, 라인 스캔 방식의 이미지센서의 칼럼 및 로우 어드레스 서브샘플링시 실시간 서브샘플링을 지원할 수 있는 이미지센서의 어드레스 서브샘플링 방법과 이러한 서브샘플링 기능을 갖는 이미지센서를 제공하기 위한 것으로, 이를 위해 본 발명은,  $N$ ( $N$ 은 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 카운팅부; 및 상기 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 어드레스 변환부를 포함하며, 상기 어드레스 변환부는, 상기 2진 어드레스를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스로 변환함에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅부로부터 전달된 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅부로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 어드레스 서브샘플링 장치를 제공한다.

또한, 본 발명은 어드레스 서브샘플링 방법과 이러한 서브샘플링 장치를 포함하는 이미지센서 및 이미지센서의 어드레스 서브샘플링 방법을 제공한다.

## 【대표도】

도 1

**【색인어】**

어드레스 서브샘플링(Address sub-sampling), 카운팅부, 라인 클럭, 데이터 클럭, 어드레스 변환부, 베리로그(Verilog).

**【명세서】****【발명의 명칭】**

어드레스 서브샘플링 장치 및 그 방법과 이미지센서 및 이미지센서의 어드레스 서브  
샘플링 방법{Sub-sampling apparatus and method of the same and image sensor and method  
for sub-sampling of address of the same}

**【도면의 간단한 설명】**

도 1은 본 발명의 일실시예에 따른 어드레스 서브샘플링 장치를 도시한 블록도.

도 2a 내지 도 2e는 본 발명의 서브샘플링의 일실시예를 도시한 블록도.

도 3a 내지 도 3c는 10비트의 서브샘플링 결과를 도시한 본 발명의 일예를 도시한  
서브샘플링 테이블.

도 4는 본 발명의 다른 실시예에 따른 이미지센서를 도시한 블록도.

\* 도면의 주요 부분에 대한 부호의 설명

10 : 카운팅부      11 : 다중화부

12 : 어드레스 변환부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 서브샘플링(Sub-sampling) 기술에 관한 것으로, 특히 어드레스의 서브샘플링 방법과 장치 및 이를 적용한 라인 스캔 방식의 이미지센서 및 이미지센서의 어드레스 서브샘플링 방법에 관한 것이다.

<9> 서브샘플링이란 표본줄임 또는 MUSE(Multiple sub-nyquist Sampling Encoding) 방식이라고도 한다.

<10> 일반적인 TV 등의 화상을 살펴보면 움직임이 있는 부분과 움직임이 없는 부분으로 나눌 수 있는데 움직임이 있는 부분은 물체의 경계부분이 선명하지 못하고 흐림현상(Blurring)이 일어나게 된다. 또한 인간의 눈의 특성상 움직이는 물체는 해상도를 떨어뜨려도 그 떨어진 해상도가 눈에 잘 띄지 않는다. 이와 같은 점을 이용하여 MUSE 방식에서는 TV의 각 화면을 정지영역과 동영역으로 나누어 각각 다른 부표본화 방식을 사용한다. 원래의 MUSE 신호의 대역폭은 32MHz로서 각 영역에서 1/4로 줄여서 8MHz로 만든 후에 이를 27MHz의 위성전송대역에 FM(Frequency Modulation) 변조해서 전송하게 된다. 즉, 동영역에서는 수평축 서브샘플링과 라인어긋남 서브샘플링을 이용해서 표본들을 1/4로 압축하고, 정지영역에서는 필드어긋남 서브샘플링을 행해서 화소를 반으로 줄인 후 정지영역에서는 인접한 프레임에서 화면변화가 없다는 점에 착안해서 시간축상으로 다시 한 번 프레임어긋남 서브샘플링을 행한다. 이렇게 하면 동영역과 정지영역 모두에서 1/4로 화

소를 압축할 수 있으며 이렇게 1/4로 압축된 아날로그 샘플들은 FM으로 변조되어 27MHz 대역인 인공위성채널을 통해 지상으로 방송한다.

<11> 한편, 이미지센서에서의 서브샘플링은 뷰파인더(View finder)나 퀵뷰(Quick view)시에 적용하는 기능으로 넓은 화면의 이미지를 해상도 저하는 감수하면서도 프레임율(Frame rate)을 증가시키기 위해 사용한다.

<12> 이러한 서브샘플링에는 스펙(Spec) 결정시 다양한 모드를 줄 수 있는데, 기본적인 RGB(Red, Green, Blue) 베이어 패턴(Bayer pattern)을 제공하는 화소배열부(Pixel array) 구조에서는 4개의 화소가 기본 유닛(Unit)으로 구성되며, 서브샘플링 역시 이에 맞추는 것이 일반적으로  $m \times n$  ( $m, n$ 은 짝수)으로 맞추는 것이 표시되며,  $m$ 은 출력될 어드레스의 개수,  $n$ 은 스킵(Skip)될 어드레스의 개수를 의미한다.

<13> 예를 들어,  $2 \times 4$ 의 서브샘플링인 경우 시작되는 어드레스(start address)가 "0"이라 가정하면 출력되어야 할 어드레스는 순차적으로 0,1,6,7,12,13..이 된다. 따라서, 2,3,4,5,8,9,10,11은 스킵되어야 할 어드레스이다. 이 경우 1에서 6으로 건너 뛰어야 할 때, 외부에서는 시간상의 손실이 없이 순차적으로 바로 다음의 어드레스로 이어져야 한다. 그러나, 기존의 방식은 바로 건너 뛰게 하는 기능이 없으므로 스킵되어야 할 어드레스가 존재할 경우에는 출력 데이터를 마스킹하는 방법으로 서브샘플링을 지원하였다. 따라서, 서브샘플링의 장점인 시간상의 이점을 활용하지 못하였다.



【발명이 이루고자 하는 기술적 과제】

<14>      상기한 바와 같은 종래의 문제점을 해결하기 위해 제안된 본 발명은, 시간상의 손실없이 실시간 서브샘플링을 다양하게 지원할 수 있는 어드레스 서브샘플링 방법 및 그 장치를 제공하는 것을 그 목적으로 한다.

<15>      또한, 본 발명은 라인 스캔 방식의 이미지센서의 칼럼 및 로우 어드레스 서브샘플링시 실시간 서브샘플링을 지원할 수 있는 이미지센서의 어드레스 서브샘플링 방법과 이러한 서브샘플링 기능을 갖는 이미지센서를 제공하는 것을 다른 목적으로 한다.

【발명의 구성 및 작용】

<16>      상기 목적을 달성하기 위한 본 발명은,  $N$ ( $N$ 은 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 카운팅부; 및 상기 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 어드레스 변환부를 포함하며, 상기 어드레스 변환부는, 상기 2진 어드레스를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스로 변환함에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅부로부터 전달된 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅부로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 어드레스 서브샘플링 장치를 제공한다.

<17> 또한, 상기 목적을 달성하기 위한 본 발명은, 라인 스캔 방식의 이미지센서에 있어서, 데이터 클럭에 동기되어 동작하며,  $X$ ( $X$ 는 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 제1카운팅부; 상기 제1카운팅부의 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 제1어드레스 변환부; 라인 클럭에 동기되어 동작하며,  $Y$ ( $Y$ 는 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 제2카운팅부; 및 상기 제2카운팅부의 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 제2어드레스 변환부를 포함하며, 상기 제1 및 제2어드레스 변환부는, 상기 2진 어드레스를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스로 각각 변환함에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 각각 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅부로부터 전달된 비트와 각각 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅부로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 각각 쉬프트시키는 것을 특징으로 하는 이미지센서를 제공한다.

<18> 또한, 상기 목적을 달성하기 위한 본 발명은,  $N$ 비트의 이진 어드레스를 출력하는 단계; 및 상기 2진 어드레스를 서브샘플링하여 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스를 출력하는 단계를 포함하는 어드레스의 서브샘플링 방법에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 이진 어드레스의 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 이진 어드레스 중 최상위 비트에서 상기 제1비

트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 어드레스 서브샘플링 방법을 제공한다.

<19> 또한, 상기 목적을 달성하기 위한 본 발명은, 데이터 클럭에 동기된 X비트의 이진 어드레스와 라인 클럭에 동기된 Y비트의 이진 어드레스를 출력하는 단계; 및 상기 2진 어드레스를 각각 서브샘플링하여 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 제1 및 제2서브샘플링된 어드레스를 출력하는 단계를 포함하는 라인 스캔 방식의 이미지센서의 어드레스 서브샘플링 방법에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 각각 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 각각 상기 이진 어드레스의 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 각각 상기 이진 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 이미지센서의 어드레스 서브샘플링 방법을 제공한다.

<20> 본 발명은 카운팅부로부터 출력된 N비트의 2진 어드레스( $2^N$ 개)를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 형태의 서브샘플링된 어드레스로 변환하는 서브샘플링을 실시함에 있어서, 스킵될 어드레스의 개

수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 제1비트군은 "0"으로 셋팅한다. 그리고, 최하위 비트를 포함하는 제2비트군은 카운팅부로부터 전달된 어드레스의 비트와 일치(대응)시키며, 최상위 비트를 포함하는 제3비트군은 카운팅부로부터 전달된 어드레스 중 최상위 비트에서 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트(Shift)시킨다.

<21> 즉, 비트 쉬프트와 특정 비트에 "0"을 삽입하는 방식을 통해 작은 사이즈의 디지털 논리회로를 사용하여 어드레스 변화부를 설계하고 이를 통해 서브샘플링 모드를 실시간으로 수행할 수 있도록 한다.

<22> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<23> 도 1은 본 발명의 일실시예에 따른 어드레스 서브샘플링 장치를 도시한 블록도이다.

<24> 도 1을 참조하면, 본 발명의 어드레스 서브샘플링 장치는,  $N$  ( $N$ 은 2보다 큰 자연수) 비트의 2진 어드레스( $2^0 \sim 2^{N-1}$ )를 출력하는 카운팅부(10)와, 2진 어드레스( $2^0 \sim 2^{N-1}$ )를 서브샘플링하여 서브샘플링된 어드레스( $[N-1:0]$ )를 출력하기 위한 어드레스 변환부(12)를 포함한다.

<25> 또한,  $N$ 비트의 어드레스( $2^0 \sim 2^{N-1}$ )로부터 출력가능한 기설정된 서브샘플링

모드 중 어느 하나의 모드로 출력할 것인가를 선택하기 위한 다중화부(11)를 더 포함할 수도 있는 바, 도 1에서는 다중화부(11)를 포함하는 구성을 도시하고 있다. 따라서, 어드레스 변환부(12)는 다중화부(11)의 선택에 의해 선택된 모드에 해당하는 서브샘플링을 수행하게 된다.

<26> 여기서, N비트의 2진 어드레스는  $2^0 \sim 2^{N-1}$ 를 포함하고 있으므로, 이를 서브샘플링할 때 m(출력되어야할 어드레스의 개수)  $\times$  n(스킵되어야할 어드레스의 개수)으로 한다고 가정하면,  $m + n$ 은  $N-1$  보다는 작거나 같아야 하며 m과 n은 모두 짝수이어야 한다.

<27> 따라서, 설정가능한 모드는  $0 \times 0$ (1개),  $2^1 \times 2^1$ ,  $2^1 \times 2^2, \dots, 2 \times 2^{N-2}$ ( $2^{N-1}$ 개),  $2^2 \times \text{모드}$ ( $2^{N-2}$ 개),  $\dots, 2^{N-2} \times \text{모드}$ (2개),  $2^{N-1} \times \text{모드}$ (2개)가 되므로, 이들을 모두 더하면 등비수열에 의한 계산을 통해  $2^N-1$ 개의 선택 가능한 모드가 나타난다.

<28> 어드레스 변환부(12)는 2진 어드레스( $2^0 \sim 2^{N-1}$ )를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스로 변환함에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅부로부터 전달된 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅부로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시킨다.

<29> 이하 전술한 서브샘플링을 보다 구체적으로 살펴본다.

<30> 다음은 베리로그(Verilog) 코드를 사용하여 구현한 10비트 어드레스의 알고리즘을 나타낸다.

```

<31>    wire[N-1 : 0] 0by0 = Counter [N-1 : 0];

<32>    wire[N-1 : 0] 2by2 = {Counter [N-2 : 2], 1'b0, Counter[0]};

<33>    wire[N-1 : 0] 4by4 = {Counter [N-2 : 2], 1'b0, Counter[1 : 0]};

<34>    wire[N-1 : 0] 8by8 = {Counter [N-2 : 3], 1'b0, Counter[2 : 0]};

<35>    wire[N-1 : 0] 16by16 = {Counter [N-2 : 4], 1'b0, Counter[3 : 0]};

<36>    wire[N-1 : 0] 2by6 = {Counter [N-3 : 1], 2'b00, Counter[0]};

<37>    wire[N-1 : 0] 2by14 = {Counter [N-4 : 1], 3'b000, Counter[0]};

<38>    wire[N-1 : 0] 2by30 = {Counter [N-5 : 1], 4'b0000, Counter[0]};


<39>    case(subsamp)    // <= 8 >1 Mux
<40>    'Zero Address= 0by0;    // 0 >0 Sub-sampling mode
<41>    'One Address= 2by2;    // 2 >2 Sub-sampling mode
<42>    'Two Address= 4by4;    // 4 >4 Sub-sampling mode
<43>    'Three Address= 8by8;    // 8 >8 Sub-sampling mode
<44>    'Four Address= 16by16;    // 16 >16 Sub-sampling mode
<45>    'Five Address= 2by6;    // 2 >6 Sub-sampling mode
<46>    'Six Address= 2by14;    // 2 >14 Sub-sampling mode
<47>    'Seven Address= 2by30;    // 2 >30 Sub-sampling mode

```

- <48>      상기한 알고리즘은 전술한 서브샘플링을 수행하기 위한 베리로그 코드를 사용한 표현으로, 이는 디지털 논리회로 합성이 가능하도록 한다.
- <49>      어드레스 변환부(12)는 카운팅부(10)로부터 출력되는 N비트의 출력을 받아 비트 연산을 수행하여 각각의 서브샘플링 어드레스를 생성하고 이를 'Zero' ~ 'Seven'까지의 기설정된 서브샘플링 모드에 따라 이에 알맞는 서브샘플링 어드레스를 출력한다.
- <50>      베리로그 코드는 wire 구문과 case 구문으로 나뉘어져 있는 바, wire 구문은 카운팅부(10)의 출력을 받아 비트 연산을 수행하는 부분이다.
- <51>      예컨대, 2by2(2 × 2) 모드(One)의 서브샘플링인 경우 wire 구문의 2 × 2는 카운팅부(10)의 상위[N-2 : 1]까지의 비트는 그대로 2by2의 [N-1 : 1]까지의 비트에 대응시킨다. 즉, 카운팅부(10) 출력의 최상위 비트로부터 '0'으로 셋팅될 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시킨다.
- <52>      2by2의 [1]비트 즉, 스킵될 어드레스의 개수(2)와 일치하는 서브샘플링될 어드레스의 자리수의 조합(2<sup>1</sup>)에 해당하는 제1비트군은 '0'으로 고정(셋팅)시킨다(1'b0).
- <53>      카운팅부(10)의 하위 [0] 비트는 그대로 2by2의 [0]에 대응시킨다(Counter[0]). 즉, 최하위 비트를 포함하는 제2비트군은 카운팅부(10)로 전달된 비트에 일치시킨다.
- <54>      2by30의 서브샘플링의 경우는 wire 구문의 2by30은 카운터의 상위 [N-5 : 1]까지의 비트를 2by30의 [N-1 : 5]에 대응시키고, 2by30의 [4 : 1]의 비트들은 '0'으로 고정시키며, 카운팅부(10)의 하위 [0]비트는 그대로 2by2의 [0]에 대응시킨다. 이렇게 하여 얻어진 0by0 ~ 2by30까지의 모드에 해당하는 신호들은 case 구문에 의하여 주어진 서브샘플링에 따라 다중화부(11)에 의해 하나만 선택적으로 출력된다.

- <55> 한편, 본 발명의 일실시예에서는 베리로그 언어(Language)를 사용하여 디자인하는 예를 나타냈지만, 이외에도 VHDL(Very-High speed integrated Description Language) 등 다른 언어를 사용하여 디자인할 수 있다.
- <56> 도 2a 내지 도 2e는 본 발명의 서브샘플링의 일실시예를 도시한 블록도로서, 이를 참조하여 10비트의 2진 어드레스를 몇개의 기설정된 서브샘플링 모드를 통해 서브샘플링 변환하는 과정을 살펴본다.
- <57> 도 2a를 참조하면, 10비트의 카운팅부(10)를 사용하여 [9 : 0]의 어드레스가 출력됨을 알 수 있으며, 도 2b의 2 × 2의 서브샘플링 모드로 설정된 어드레스 변환부(12)에서 서브샘플링된다.
- <58> 여기서, 스킵될 어드레스의 개수인 "2"와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 제1비트군<1>은 "0"으로 셋팅되며, 최하위 비트를 포함하며 제1비트군<1>의 하위 비트인 제2비트군<2>은 카운팅부(10)로부터 전달된 비트[0]와 일치시킨다.
- <59> 제1비트군<1>의 상위비트이며 최상위 비트를 포함하는 제3비트군<3>은 카운팅부(10)로부터 전달된 어드레스 중 최상위 비트에서 제1비트군<1>의 비트수에 해당하는 개수(1)만큼 뺀 나머지 어드레스[8 : 1]를 상위 비트로 쉬프트하여 대응시킨다.
- <60> 도 2a의 10비트의 카운팅부(10)에서 출력된 [9 : 0]의 어드레스는 도 2c의 2 × 4의 서브샘플링 모드로 설정된 어드레스 변환부(12)에서 서브샘플링된다.
- <61> 여기서, 스킵될 어드레스의 개수인 "14"와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 제1비트군<1>은 "0"으로 셋팅되며, 최하위 비트를 포함하며



제1비트군<1>의 하위 비트인 제2비트군<2>은 카운팅부(10)로부터 전달된 비트[0]와 일치시킨다.

<62> 제1비트군<1>의 상위비트이며 최상위 비트를 포함하는 제3비트군<3>은 카운팅부(10)로부터 전달된 어드레스 중 최상위 비트에서 제1비트군<1>의 비트수에 해당하는 개수(3)만큼 뺀 나머지 어드레스[6 : 1]를 상위 비트로 쉬프트하여 대응시킨다.

<63> 도 2a의 10비트의 카운팅부(10)에서 출력된 [9 : 0]의 어드레스는 도 2d의 2 × 80의 서브샘플링 모드로 설정된 어드레스 변환부(12)에서 서브샘플링된다.

<64> 여기서, 스킵될 어드레스의 개수인 "30"과 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 제1비트군<1>은 "0"으로 셋팅되며, 최하위 비트를 포함하며 제1비트군<1>의 하위 비트인 제2비트군<2>은 카운팅부(10)로부터 전달된 비트[0]와 일치시킨다.

<65> 제1비트군<1>의 상위비트이며 최상위 비트를 포함하는 제3비트군<3>은 카운팅부(10)로부터 전달된 어드레스 중 최상위 비트에서 제1비트군<1>의 비트수에 해당하는 개수(4)만큼 뺀 나머지 어드레스[5 : 1]를 상위 비트로 쉬프트하여 대응시킨다.

<66> 도 2a의 10비트의 카운팅부(10)에서 출력된 [9 : 0]의 어드레스는 도 2e의 4 × 4의 서브샘플링 모드로 설정된 어드레스 변환부(12)에서 서브샘플링된다.

<67> 여기서, 스킵될 어드레스의 개수인 "4"와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 제1비트군<1>은 "0"으로 셋팅되며, 최하위 비트를 포함하며 제1비트군<1>의 하위 비트인 제2비트군<2>은 카운팅부(10)로부터 전달된 비트[1 : 0]와 일치시킨다.

- <68> 제1비트군<1>의 상위비트이며 최상위 비트를 포함하는 제3비트군<3>은 카운팅부(10)로부터 전달된 어드레스 중 최상위 비트에서 제1비트군<1>의 비트수에 해당하는 개수(1)만큼 뺀 나머지 어드레스[8 : 1]를 상위 비트로 쉬프트하여 대응시킨다.
- <69> 또한, 도 3a 내지 도 3c는 10비트의 서브샘플링 결과를 도시한 본 발명의 일예를 도시한 서브샘플링 테이블을 도시한다.
- <70> 도 3a 내지 도 3c의 테이블은 카운팅부(10)에서 클럭(Clk)에 동기되어 출력되어진 값을 어드레스 변환부(12)를 통하여 생성된 즉, 서브샘플링된 어드레스 값을 나타낸다.
- <71> 테이블 좌측에는 카운팅부(10)의 출력값을 10진수로 표현하였고 상단에는 지원하고자 하는 서브샘플링 모드와 그에 따른 어드레스의 10진수 표현과 2진수 표현을 같이 나타냈다.
- <72> 또한, 여기서도 전술한 서브샘플링 변환된 어드레스의 제1 ~ 제3비트군(<1> ~ <3>)의 규칙을 따름을 확인할 수 있다. 예컨대, 각 모드에서 흰색으로 표시된 제1비트군<1>의 열이 모두 "0"으로 셋팅되어 있음을 알 수 있다.
- <73> 이하의 다른 실시예에서는 전술한 본 발명의 일실시예에서 설명된 서브샘플링 방식을 사용하여 이미지센서의 칼럼 및 로우 어드레스를 서브샘플링 하는 방법과 이러한 서브샘플링 방식을 적용할 수 있는 이미지센서에 대해 살펴본다.
- <74> 도 4는 본 발명의 다른 실시예에 따른 이미지센서를 도시한 블록도이다.
- <75> 도 4를 참조하면, 본 발명의 이미지센서는 하나의 라인 즉, 칼럼을 라인 클럭에 동기되어 스캐닝한 다음, 이를 한꺼번에 전송하는 방식인 라인 스캔 방식으로, 데이터 클럭(Clk\_d)에 동기되어 동작하며, X(X는 2보다 큰 자연수)비트의 2진 어드레스를 출력하

는 제1카운팅부(40a)와, 제1카운팅부(40a)의 2진 어드레스( $2^0 \sim 2^{X-1}$ )를 서브샘플링하여 서브샘플링된 어드레스[X-1 : 0] 즉, 칼럼 어드레스를 출력하기 위한 제1어드레스 변환부(42a)와, 라인 클럭(Clk\_1)에 동기되어 동작하며, Y(Y는 2보다 큰 자연수)비트의 2진 어드레스( $2^0 \sim 2^{Y-1}$ )를 출력하는 제2카운팅부(40b)와, 제2카운팅부(40b)의 2진 어드레스( $2^0 \sim 2^{Y-1}$ )를 서브샘플링하여 서브샘플링된 어드레스[Y-1 : 0] 즉, 로우 어드레스를 출력하기 위한 제2어드레스 변환부(42b)를 포함한다.

<76> 또한, X비트의 어드레스( $2^0 \sim 2^{X-1}$ )로부터 출력가능한 기설정된 서브샘플링 모드 중 어느 하나의 모드로 출력할 것인가를 선택하기 위한 제1다중화부(41a)와, Y비트의 어드레스( $2^0 \sim 2^{Y-1}$ )로부터 출력가능한 기설정된 서브샘플링 모드 중 어느 하나의 모드로 출력할 것인가를 선택하기 위한 제2다중화부(41b)를 더 포함할 수도 있는 바, 도 4에서는 이러한 다중화부(41a, 41b)를 포함하는 구성을 도시하고 있다. 따라서, 어드레스 변환부(42a, 42b) 각각은 다중화부(41a, 41b)의 선택에 의해 선택된 모드에 해당하는 서브샘플링을 수행하게 된다.

<77> 여기서, N비트의 2진 어드레스는 칼럼과 로우에 각각  $2^0 \sim 2^{X-1}$ 과  $2^0 \sim 2^{Y-1}$ 를 포함하고 있으므로, 이를 서브샘플링할 때 m(출력되어야할 어드레스의 개수) × n(스킵되어야할 어드레스의 개수)으로 한다고 가정하면, m + n은 X-1과 Y-1 보다는 작거나 같아야 하며 m과 n은 모두 짝수이어야 한다.

<78> 따라서, 설정가능한 모드는 일실시예에서 제시된 등비수열에 의한 계산을 통해 각각  $2^{X-1}$ 개와  $2^{Y-1}$ 개의 선택 가능한 모드가 나타남을 알 수 있다.

<79> 제1 및 제2어드레스 변환부(40a, 40b)는,  $2^0 \sim 2^{X-1}$ 과  $2^0 \sim 2^{Y-1}$ 의 2진 어드레스를 각각 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스 즉, 칼럼 어드레스와 로우 어드레스로 각각 변환함에 있어서, 스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 각각 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅부로부터 전달된 비트와 각각 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅부로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 각각 쉬프트시킨다.

<80> 일반적으로, 이미지센서는 라인 스캔 방식의 동작을 지원하므로 전술한 바와 같이 칼럼 어드레스를 생성하기 위한 제1카운팅부(40a)와 제1다중화부(41a) 및 제1어드레스 변환부(42a)를 필요로 하고, 로우 어드레스를 생성하기 위한 제2카운팅부(40b)와 제2다중화부(41b) 및 제2어드레스 변환부(42b)를 각각 필요로 하며, 이 때 칼럼 어드레스[X-1 : 0]를 생성하기 위한 회로 즉, 제1카운팅부(40a)는 데이터의 출력율로 동작하는 즉, 데이터 클럭(Clk\_d)에 동기되어 동작되어야 하며, 로우 어드레스[Y-1 : 0]를 생성하기 위한 회로 즉, 제2카운팅부(40b)는 데이터의 출력율로 동작하는 즉, 라인 클럭(Clk\_l)에 동기되어 동작되어야 한다.

<81> 여기서, 라인 클럭(Clk\_l)과 데이터 클럭(Clk\_d)은 하기의 수학식1과 같은 관계를 갖는다.

<82> 【수학식 1】  $Clk\_l = t_{blank} + (W_C \times Clk\_d)$

- <83> 여기서, ' $t_{blank}$ '는 라인과 라인간의 시간 간격으로 사용자의 필요에 따라 정의되는 바, 하나의 라인에 대한 스캔이 완료되고 그 다음 라인에 대한 스캔을 위한 라인 클럭( $Clk_1$ )이 발생되기 전까지의 시간이다. 예컨대, 여기에는 CDS(Correlated Double Sampling) 등을 위해 사용되는 시간도 포함된다.
- <84> 요컨대, 수학식1을 참조하면 라인 클럭( $Clk_1$ )은 화소배열부의 칼럼의 폭( $W_C$ )과 데이터 클럭( $Clk_d$ )을 곱한 값에 라인과 라인 사이의 시간( $t_{blank}$ )을 합한 주기를 갖는다.
- <85> 예컨대, 640 × 480의 해상도에 256색의 표현이 가능한 VGA(Video Graphics Array)의 경우 데이터 클럭( $Clk_d$ )의 주기에 640을 곱하고 여기에 부가적인 시간을 더한 것이 라인 클럭( $Clk_1$ )이 되므로 라인 클럭( $Clk_1$ )이 데이터 클럭( $Clk_d$ )에 비해 상당히 긴 주기를 갖는 것을 알 수 있다.
- <86> 그리고, 제1어드레스 변환부(42a)와 제2어드레스 변환부(42b)는 그 개수 차이에 의한 비트수만 다를 뿐 동일한 개념의 회로를 사용한다.
- <87> 한편, 이러한 이미지센서에서의 서브샘플링 방식은 일실시예에서 제시한 일반적인 서브샘플링 방식과 동일하게 실시되므로 그 설명은 생략하도록 한다.
- <88> 전술한 바와 같이 이루어지는 본 발명은, 비트 쉬프트와 특정 비트에 "0"을 삽입하는 방식을 통해 작은 사이즈의 디지털 논리회로를 사용하여 어드레스 변화부를 설계하고 이를 통해 서브샘플링 모드를 실시간으로 수행할 수 있도록 함으로써, 시용자로 하여금 제품의 응용 범위를 넓힐 수 있도록 하며, 이미지 신호 프로세스(Image signal

process), 영상압축, 소프트웨어 프로세스(Software process) 등의 백-엔드(Back-end) 프로세싱 지원을 용이하게 해 줄 수 있다.

<89> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<90> 상기한 바와 같이 이루어지는 본 발명은, 서브샘플링 모드를 실시간으로 수행할 수 있도록 함으로써, 서브샘플링의 장점을 최대한 살릴 수 있도록 하는 효과를 기대할 수 있다.

<91> 또한, 서브샘플링 기능을 필요로하는 제품의 응용 범위를 넓힐 수 있도록 함으로써, 제품의 경쟁력을 향상시킬 수 있으며, 특히 이미지센서의 성능을 크게 향상시킬 수 있는 효과를 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

N(N은 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 카운팅수단; 및

상기 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 어드레스 변환수단을 포함하며,

상기 어드레스 변환수단은,

상기 2진 어드레스를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스로 변환함에 있어서,

스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅 수단으로부터 전달된 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅 수단으로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 어드레스 서브샘플링 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 N비트의 어드레스로부터 출력가능한 기설정된 서브샘플링 모드 중 어느 하나의 모드로 출력할 것인가를 선택하기 위한 다중화수단을 더 포함하며, 상기 어드레스 변

환수단은 상기 다중화수단의 선택에 의해 상기 선택된 모드에 해당하는 서브샘플링을 수행하는 것을 특징으로 하는 어드레스 서브샘플링 장치.

**【청구항 3】**

제 2 항에 있어서,

상기 기설정된 서브샘플링 모드는  $2^N-1$ 개인 것을 특징으로 하는 어드레스 서브샘플링 장치.

**【청구항 4】**

제 1 항에 있어서,

상기 스킵될 어드레스의 개수와 상기 출력될 어드레스의 개수는 짝수인 것을 특징으로 하는 어드레스 서브샘플링 장치.

**【청구항 5】**

라인 스캔 방식의 이미지센서에 있어서,

데이터 클럭에 동기되어 동작하며,  $X$ ( $X$ 는 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 제1카운팅수단;

상기 제1카운팅 수단의 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 제1어드레스 변환수단;



라인 클럭에 동기되어 동작하며,  $Y$  ( $Y$ 는 2보다 큰 자연수)비트의 2진 어드레스를 출력하는 제2카운팅수단; 및

상기 제2카운팅 수단의 2진 어드레스를 서브샘플링하여 서브샘플링된 어드레스를 출력하기 위한 제2어드레스 변환수단을 포함하며,

상기 제1 및 제2어드레스 변환수단은,

상기 2진 어드레스를 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스로 각각 변환함에 있어서,

스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 각각 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 카운팅 수단으로부터 전달된 비트와 각각 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 카운팅 수단으로부터 전달된 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 각각 쉬프트시키는 것을 특징으로 하는 이미지센서.

#### 【청구항 6】

제 5 항에 있어서,

상기 제1어드레스 변환수단은 서브샘플링된 칼럼 어드레스를 생성하며, 상기 제2어드레스 변환수단은 서브샘플링된 로우 어드레스를 생성하는 것을 특징으로 하는 이미지센서.

**【청구항 7】**

제 5 항에 있어서,

상기 X비트의 어드레스로부터 출력가능한 기설정된 제1서브샘플링 모드 중 어느 하나의 모드로 출력할 것인가를 선택하기 위한 제1다중화수단과,

상기 Y비트의 어드레스로부터 출력가능한 기설정된 제2서브샘플링 모드 중 어느 하나의 모드로 출력할 것인가를 선택하기 위한 제2다중화수단을 포함하며,

상기 제1 및 제2어드레스 변환수단은 각각 상기 제1 및 제2다중화수단의 선택에 의해 상기 선택된 모드에 해당하는 서브샘플링을 수행하는 것을 특징으로 하는 이미지센서.

**【청구항 8】**

제 7 항에 있어서,

상기 기설정된 제1 및 제2서브샘플링 모드는 각각  $2^X-1$ 개와  $2^Y-1$ 개인 것을 특징으로 하는 이미지센서.

**【청구항 9】**

제 5 항에 있어서,

상기 스킵될 어드레스의 개수와 상기 출력될 어드레스의 개수는 짝수인 것을 특징으로 하는 이미지센서.

**【청구항 10】**

제 5 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 라인 클럭은 화소배열부의 칼럼의 폭과 상기 데이터 클럭을 곱한 값에 라인과 라인 사이의 시간을 합한 주기를 갖는 것을 특징으로 하는 이미지센서.

**【청구항 11】**

N비트의 이진 어드레스를 출력하는 단계; 및

상기 2진 어드레스를 서브샘플링하여 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 서브샘플링된 어드레스를 출력하는 단계를 포함하는 어드레스의 서브샘플링 방법에 있어서,

스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 상기 이진 어드레스의 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 상기 이진 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 건너 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 어드레스 서브샘플링 방법.

**【청구항 12】**

데이터 클럭에 동기된 X비트의 이진 어드레스와 라인 클럭에 동기된 Y비트의 이진 어드레스를 출력하는 단계; 및

상기 2진 어드레스를 각각 서브샘플링하여 제3비트군과 제1비트군 및 제2비트군이 최상위 비트로부터 순차적으로 배열된 제1 및 제2서브샘플링된 어드레스를 출력하는 단계를 포함하는 라인 스캔 방식의 이미지센서의 어드레스 서브샘플링 방법에 있어서,

스킵될 어드레스의 개수와 일치하는 서브샘플링 변환될 어드레스의 자리수의 조합에 해당하는 상기 제1비트군은 각각 "0"으로 셋팅하고, 최하위 비트를 포함하는 상기 제2비트군은 각각 상기 이진 어드레스의 비트와 일치시키며, 최상위 비트를 포함하는 제3비트군은 각각 상기 이진 어드레스 중 최상위 비트에서 상기 제1비트군의 비트수에 해당하는 개수만큼 뺀 나머지 어드레스를 쉬프트시키는 것을 특징으로 하는 이미지센서의 어드레스 서브샘플링 방법.

#### 【청구항 13】

제 12 항에 있어서,

상기 제1서브샘플링된 어드레스는 칼럼 어드레스이며, 상기 제2서브샘플링 어드레스는 로우 어드레스인 것을 특징으로 하는 이미지센서의 어드레스 서브샘플링 방법.

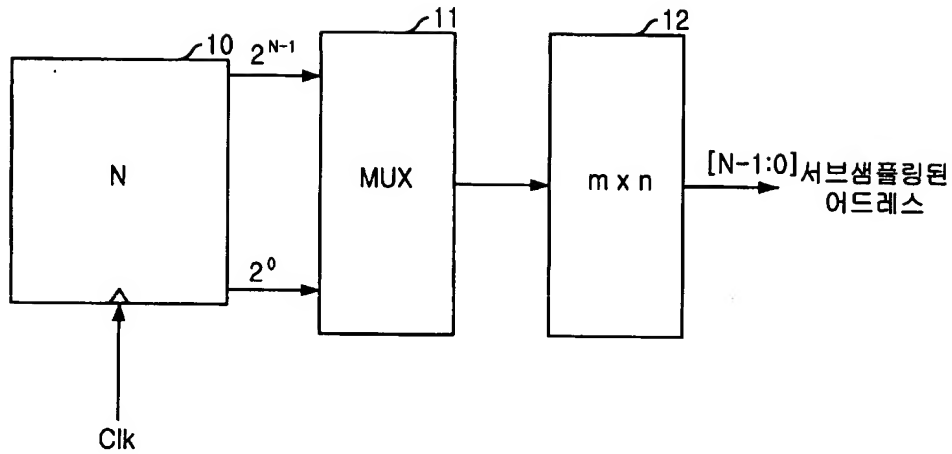
#### 【청구항 14】

제 12 항 또는 제 13 항에 있어서,

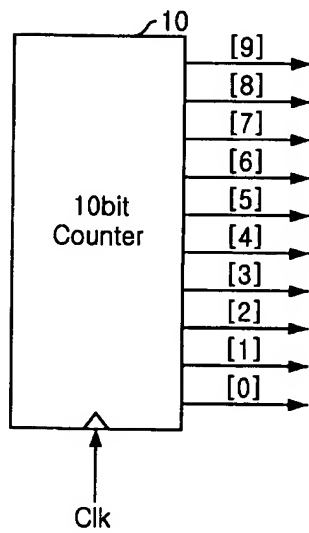
상기 라인 클럭은 화소배열부의 칼럼의 폭과 상기 데이터 클럭을 곱한 값에 라인과 라인 사이의 시간을 합한 주기를 갖는 것을 특징으로 하는 이미지센서의 어드레스 서브샘플링 방법.

【도면】

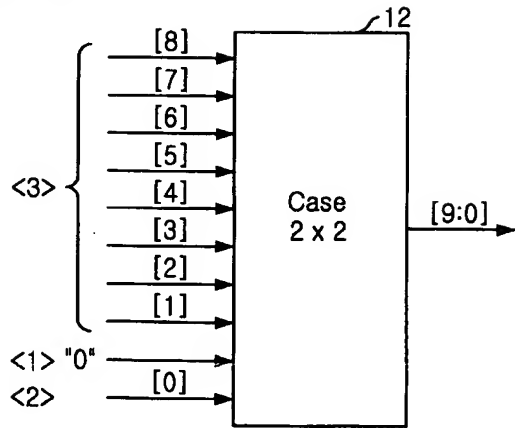
【도 1】



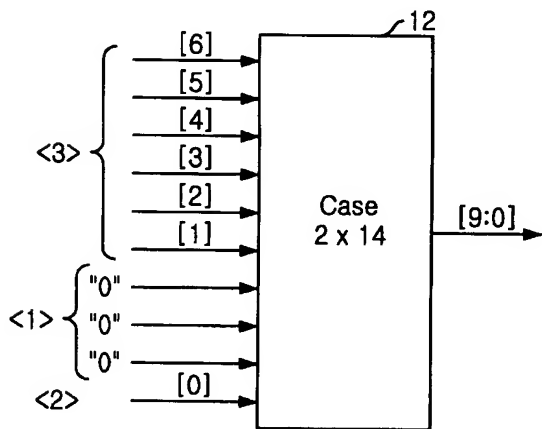
【도 2a】



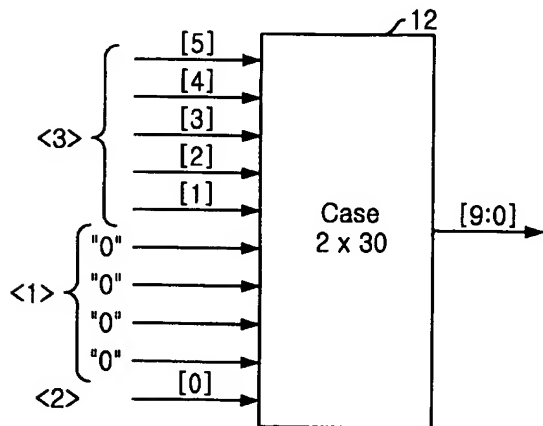
【도 2b】



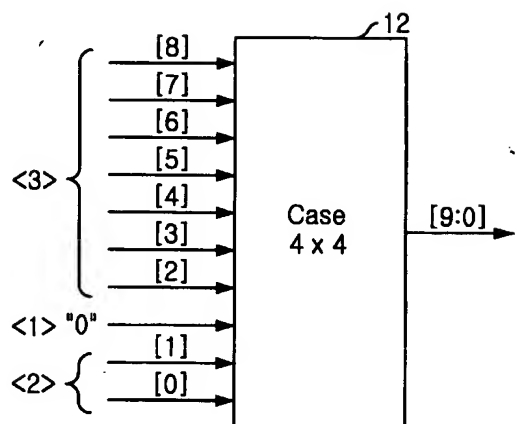
【도 2c】



【도 2d】



【도 2e】



2진 이드레스	0 x 0	서브샘플링	2 X 2	서브샘플링 <3>	<1> <2>	2 X 6	서브샘플링 <3>	<1> <2>
0	Address: 0-8-5-4-3-2-1-0	0-8-5-4-3-2-1-0	Address: 0-8-7-6-5-4-3-2-1-0	0-8-7-6-5-4-3-2-1-0	0	Address: 0-8-7-6-5-4-3-2-1-0	0-8-7-6-5-4-3-2-1-0	0
1					0			0
2					0			0
3					0			0
4					0			0
5					0			0
6					0			0
7					0			0
8					0			0
9					0			0
10					0			0
11					0			0
12					0			0
13					0			0
14					0			0
15					0			0
16					0			0
17					0			0
18					0			0
19					0			0
20					0			0
21					0			0
22					0			0
23					0			0
24					0			0
25					0			0
26					0			0
27					0			0
28					0			0
29					0			0
30					0			0
31					0			0
32					0			0
33					0			0
34					0			0
35					0			0
36					0			0
37					0			0
38					0			0
39					0			0
40					0			0
41					0			0
42					0			0
43					0			0
44					0			0
45					0			0
46					0			0
47					0			0
48					0			0
49					0			0
50					0			0
51					0			0
52					0			0
53					0			0
54					0			0
55					0			0
56					0			0
57					0			0
58					0			0
59					0			0
60					0			0
61					0			0
62					0			0
63					0			0



1

【도 3b】

[illegible]

출력 일자: 2003/5/15

【도 3c】

[illegible]

【도 4】

